

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月28日

出 願 番 号

Application Number:

特願2002-189350

[ST.10/C]:

[JP2002-189350]

出 願 人

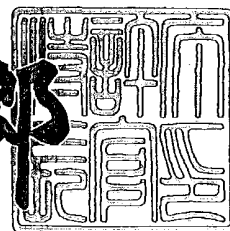
Applicant(s):

富士通株式会社

2002年12月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3102451

【書類名】 特許願

【整理番号】 0240261

【提出日】 平成14年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明の名称】 データの一部書き換え機能を有する半導体不揮発性メモリ

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中山 智弘

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2002-189350

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データの一部書き換え機能を有する半導体不揮発性メモリ

【特許請求の範囲】

【請求項 1】 半導体不揮発性メモリにおいて、

主メモリセルアレイと、

サブメモリセルアレイと、

アドレス記憶部とを有し、

前記主メモリセルアレイに書き込まれたデータの一部分を変更する書き換え動作の場合、当該主メモリセルアレイを消去せずに、変更データを前記サブメモリセルアレイに書き込み、変更対象データが格納されている前記主メモリセルアレイの第 1 のアドレスと、前記変更データが格納された前記サブメモリセルアレイの第 2 のアドレスとの対応情報を前記アドレス記憶部に記録することを特徴とする半導体不揮発性メモリ。

【請求項 2】 請求項 1 において、

更に、読み出し動作の時に、読み出しアドレスと前記対応情報の第 1 のアドレスとを比較し、不一致の時は当該読み出しアドレスを出力し、一致する時は当該対応情報の第 2 のアドレスを出力するアドレス管理回路を有することを特徴とする半導体不揮発性メモリ。

【請求項 3】 請求項 1 において、

更に、外部からの信号に応答して、前記書き換え動作モードを検出する書き換えモード判定回路を有し、

前記書き換え動作モードが検出されると、前記変更データのサブメモリセルアレイへの書き込みと、前記対応情報の前記アドレス記憶部への記録とを行うことを特徴とする半導体不揮発性メモリ。

【請求項 4】 請求項 1 において、

更に、供給される書き込みデータと書き込みアドレスに응答して、前記書き込みアドレスに対応する前記主メモリセルアレイ内のデータと、前記書き込みデータとを比較し、前記主メモリセルアレイに前記書き込みデータが書き込み可能な場合は、当該主メモリセルアレイに前記供給された書き込みデータを書き込み、

前記主メモリセルアレイに前記書き込みデータが書き込み不可能な場合は、前記サブメモリセルアレイに前記供給された書き込みデータを書き込み更に前記対応情報を前記アドレス記憶部に記録することを特徴とする半導体不揮発性メモリ。

【請求項 5】 請求項 1 において、

前記主メモリセルアレイとサブメモリセルアレイとを有するメモリブロックを有し、

消去動作時に、前記メモリブロック内の前記主メモリセルアレイとサブメモリセルアレイとが一緒に消去されることを特徴とする半導体不揮発性メモリ。

【請求項 6】 請求項 1 において、

更に、書き換え前のデータと書き換え後のデータのいずれが有効かのフラグを記憶する有効データ記憶部を有し、

読み出し動作時において、前記有効データ記憶部に書き換え前のデータを有効にする第 1 のフラグが記憶されているときは、供給された読み出しアドレスに対応するデータを前記主メモリセルアレイから読み出し、

前記有効データ記憶部に書き換え後のデータを有効にする第 2 のフラグが記憶されているときは、前記読み出しアドレスが前記対応情報の第 1 のアドレスと一致するときに、それに対応する第 2 のアドレスのデータを前記サブメモリセルアレイから読み出し、一致しないときに読み出しアドレスのデータを前記主メモリセルアレイから読み出すことを特徴とする半導体不揮発性メモリ。

【請求項 7】 半導体不揮発性メモリにおいて、

消去動作により全てのメモリセルが消去状態にされ、消去状態の時に第 1 のデータが書き込まれる主メモリセルアレイと、

前記主メモリセルアレイに書き込まれた第 1 のデータの一部を第 2 のデータに変更する書き換え動作の時に、当該変更する第 2 のデータが書き込まれるサブメモリセルアレイと、

前記サブメモリセルアレイに前記第 2 のデータが書き込まれる時に、変更対象データが格納される前記主メモリセルアレイの第 1 のアドレスと、前記第 2 のデータが格納される前記サブメモリセルアレイの第 2 のアドレスとの対応情報を記憶するアドレス記憶部とを有することを特徴とする半導体不揮発性メモリ。

【請求項 8】請求項 7 において、

更に、読み出し動作の時に、読み出しアドレスと前記対応情報の第 1 のアドレスとを比較し、不一致の時は当該読み出しアドレスに対応する前記第 1 のデータを出力し、一致する時は当該対応情報の第 2 のアドレスに対応する前記第 2 のデータを出力することを特徴とする半導体不揮発性メモリ。

【請求項 9】請求項 7 において、

更に、外部からの信号に応答して、前記書き換え動作モードを検出する書き換えモード判定回路を有し、

前記書き換え動作モードが検出されると、前記第 2 のデータのサブメモリセルアレイへの書き込みと、前記対応情報の前記アドレス記憶部への記録とを行うことを特徴とする半導体不揮発性メモリ。

【請求項 10】請求項 7 において、

更に、供給される書き込みデータと書き込みアドレスに응答して、前記書き込みアドレスに対応する前記主メモリセルアレイ内のデータと、前記書き込みデータとを比較し、前記主メモリセルアレイに前記第 2 のデータが書き込み可能な場合は、当該主メモリセルアレイに前記供給された第 2 のデータを書き込み、前記主メモリセルアレイに前記第 2 のデータが書き込み不可能な場合は、前記サブメモリセルアレイに前記供給された第 2 のデータを書き込み更に前記対応情報を前記アドレス記憶部に記録することを特徴とする半導体不揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラッシュメモリなどの半導体不揮発性メモリに関し、特に、消去動作を伴わずにデータの一部書き換えを行うことができる半導体不揮発性メモリに関する。

【0002】

【従来の技術】

フラッシュメモリなどの半導体不揮発性メモリは、フローティングゲートやトラップゲートを有するトランジスタからなるメモリセルで構成される。フローテ

ィングゲートやトラップゲートに電荷を注入しない状態が消去状態（データ1）で、それらに電荷を注入した状態がプログラム状態（データ0）であり、消去状態ではセルトランジスタの閾値電圧が低く、プログラム状態では閾値電圧が高くなる。フローティングゲートなどに電荷を注入する書き込み動作（またはプログラム動作）により、データ「1」をデータ「0」に変更し、電荷を引き抜くまたは中和する消去動作により、データ「0」をデータ「1」に変更する。

【0003】

図1は、従来の不揮発性メモリの構成図である。このメモリデバイス100は、メモリセルアレイ10と、行デコーダ12と、列デコーダ14とデータ入出回路16とを有する。メモリセルアレイ10は、複数のメモリセルをそれぞれ有する複数のブロックで構成されている。かかる不揮発性メモリでは、書き込み動作において、指定されたアドレスに書き込みデータが書き込まれ、消去動作において、ブロック単位で一斉に消去状態に変更される。

【0004】

図2は、従来の不揮発性メモリの書き込み動作のフローチャート図である。最初に外部から書き込みコマンドと共にアドレスADDと書き込みデータDAが入力され（S1）、アドレスADDに応じてデコーダ12、16が図示しないワード線やビット線を選択し、選択されたワード線とビット線の交差位置のメモリセルに、書き込みデータが書き込まれる（S6）。そして、データ書き込み動作の後、メモリのデータが書き込みデータと一致することが確認されると（S2）、書き込み動作は正常終了し（S3）、確認されないと、書き込み回数が所定回数に達するまで（S4）、書き込み動作S6が繰り返される。書き込み回数が所定回数を超えると（S4）、書き込み異常が発生したとして異常終了する（S5）。

【0005】

前述のとおり、フラッシュメモリでは、データの書き込みは、アドレスに対応するメモリセルにデータを書き込む。つまり、書き込みの単位は、アドレスで選択される1ビットのメモリセル、若しくは、アドレスで選択される1バイトや1ワード単位のメモリセル群である。或いは、アドレスで選択されるワード線単位のメモリセル群である。書き込み動作は、消去状態（データ1）のメモリセルを

データ「0」に変更することで行われる。それに対して、消去単位は、複数の書き込み単位のメモリセルを有するブロック（またはセクタ）単位あるいはチップ単位で行われる。具体的には、消去動作では、消去対象ブロック内のメモリセルを全てプログラム状態（データ0）にした後、全てのメモリセルを同時に消去状態（データ1）に変更する。チップ単位で消去する場合も同じである。

【0006】

【発明が解決しようとする課題】

フラッシュメモリには、プログラムや所定のデータが書き込まれる。その後、書き込んだプログラムやデータの一部のみを変更したい場合は、そのメモリブロックを一旦消去して、一部変更したプログラムやデータを全て再書き込みする必要がある。つまり、ブロック単位での消去しかできないので、ブロック内のごく一部分のデータ変更であっても、そのブロックの全データを消去し、変更がない部分も含めて全てのデータを再書き込みしなければならない。

【0007】

従って、一部書き換えの要求が発生したとき、従来の不揮発性メモリでは、書き換え対象のデータが記録されているメモリブロックを消去して、一部書き換えられた新たなデータを再度書き込む必要があるので、書き換え処理が煩雑になり、書き換えに長い時間を要し、また、消去回数の増大を招く。ごく一部の書き換えであっても、上記のような消去、全書き込みが必要であることは、ユーザの利便性を損ねることになる。

【0008】

そこで、本発明の目的は、一部書き換えの機能を有する半導体不揮発性メモリを提供することにある。

【0009】

更に、本発明の目的は、メモリブロック消去やチップ消去を伴わずに書き込み済みデータの一部変更を可能にする半導体不揮発性メモリを提供することにある。

【0010】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面によれば、半導体不揮発性メモリにおいて、主メモリセルアレイとサブメモリセルアレイを有し、主メモリセルアレイに書き込まれたデータの一部を変更する場合、当該主メモリセルアレイを消去せずに、変更データをサブメモリセルアレイに書き込み、変更対象データが格納される主メモリセルアレイの第1のアドレスと、変更データが格納されるサブメモリセルアレイの第2のアドレスとの対応情報を記録することを特徴とする。そして、読み出し時には、読み出しアドレスと対応情報の第1のアドレスとを比較し、一致するときは、当該第1のアドレスに対応する第2のアドレスのサブメモリセルアレイ内のデータを読み出し、一致しないときは、当該読み出しアドレスに対応する主メモリセルアレイ内のデータを読み出す。

【0011】

上記の発明によれば、既に書き込まれたデータの一部のみを変更する時は、そのメモリブロックを消去することなく、変更データをサブメモリセルアレイに書き込み、変更対象データの主メモリセルアレイの第1のアドレスと変更データが格納されるサブメモリセルアレイの第2のアドレスとの対応情報を記録する。従って、変更データのみをサブメモリセルアレイに書き込めばよいので、書き換え動作が簡単で高速に行われる。また、消去回数の増大を抑えることができる。

【0012】

上記の発明の側面において、より好ましい実施例では、消去単位のメモリブロックが主メモリセルアレイとサブメモリセルアレイとをそれぞれ有し、当該メモリブロックが消去されるときに、主メモリセルアレイのみならずサブメモリセルアレイも同時に消去される。従って、主メモリセルアレイが消去状態になると、サブメモリセルアレイも消去状態になり、書き換え機能を再度利用することが可能になる。

【0013】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0014】

図3は、本実施の形態における不揮発性メモリの構成図である。この不揮発性メモリ装置（以下一例としてフラッシュメモリ装置とする）100は、メモリセルアレイが主メモリセルアレイ10とサブメモリセルアレイ20とで構成される。そして、消去単位であるメモリブロックMB0、MB1は、この主メモリセルアレイ10とサブメモリセルアレイ20とをそれぞれ有する。この例では、ロウ方向にサブメモリセルアレイ20が設けられる。また、フラッシュメモリ装置100は、従来例と同様に、行デコーダ12と、列デコーダ14と、データ入出力回路16と、コマンドに応答して書き込み、消去、読み出しを制御する制御回路（図示せず）とを有する。

【0015】

図3のフラッシュメモリ装置100は、更に、書き換え時に変更対象のデータが格納された主メモリセルアレイの第1のアドレスと、変更データが格納されるサブメモリセルアレイの第2のアドレスとの対応情報を記憶するアドレス記憶部22と、書き込み時に上記対応情報をアドレス記憶部22に書き込み、読み出し時に外部から供給される読み出しアドレスADDと、アドレス記憶部22内の第1のアドレスとを比較するアドレス管理回路24とを有する。

【0016】

このフラッシュメモリ装置100における書き換え動作について説明する。最初は、メモリブロックは消去済みであり、そのメモリブロック内の主メモリセルアレイ10とサブメモリセルアレイ20とは共に消去状態にある。そして、プログラムやデータベースなどの所定のデータが、消去状態の主メモリセルアレイ10に書き込まれる。より厳密にいうと、書き込まれるデータが「0」の場合は、そのセルトランジスタがデータ「1」の消去状態からデータ「0」のプログラム状態に変更され、書き込まれるデータが「1」の場合は、消去状態のまま維持される。

【0017】

次に、一旦書き込んだデータの一部のみを書き換えたい場合は、従来のようにそのデータが書き込まれたメモリブロックを全て消去することを行わずに、変

更データをサブメモリセルアレイ 20 に書き込み、変更対象のデータが格納される主メモリセルアレイ 10 の第 1 のアドレスと、変更データが格納されるサブメモリセルアレイ 20 の第 2 のアドレスとの対応情報を、アドレス記憶部 22 に書き込む。

【0018】

図 5 は、メモリセルアレイ内のアドレスにより選択される単位を示す図である。図 5 に示されるとおり、アドレス ADD をデコードするとそれにより選択されたワード線 WL が駆動される。従って、行方向に複数のメモリセルが選択される。但し、同時に出力されるビット数は、メモリセルアレイの構成に応じて異なる。例えば、8 ビットまたは 16 ビットのアクセス単位が、一つのアドレスに対して選択され、アクセスされる。このアクセス単位が、図 5 中に楕円形で示される。

【0019】

上記の書き換え動作では、主メモリセルアレイ 10 内のワード線 WL に属する書き換え対象のデータ D1 は、主メモリセルアレイ内にそのまま維持され、新たに書き換えられるデータ D2 が、サブメモリセルアレイ 20 内のワード線 SWL に属するアクセス単位のメモリセルに書き込まれる。従って、アドレス記憶部 22 には、主メモリセルアレイの行アドレスと、サブメモリセルアレイの行アドレスとの対応情報が格納される。

【0020】

図 6 は、アドレス記憶部 22 の具体的構成を示す図である。アドレス記憶部 22 は、主メモリセルアレイの第 1 のアドレス ADD と、サブメモリセルアレイの第 2 のアドレス SADD との対応情報を記録する。図 6 の例では、サブメモリセルアレイのアドレス SADD が、「000」～「111」と 8 つのアドレスを有し、書き換えに伴い変更データがサブメモリセルアレイに書き込まれるたびに、主メモリセルアレイの第 1 のアドレス ADD1、ADD2 が順番にアドレス記憶部 22 に書き込まれる。

【0021】

即ち、書き換え動作では、書き込みコマンドと共に変更すべきデータのアドレス ADD と変更データとがメモリ装置 100 に供給される。そして、アドレス管理

回路 2 4 は、アドレス記憶部 2 2 にその供給アドレス ADD を書き込み、それに対応するサブメモリセルアレイ内のアドレス SADD をデコーダ 1 2 に出力する。それに伴い、変更データがサブメモリセルアレイ 2 0 内に書き込まれる。

【 0 0 2 2 】

図 7 は、読み出し動作のフローチャート図である。読み出し動作では、読み出し対象のアドレスが入力される (S 1)。それに伴い、アドレス管理回路 2 4 が、その読み出しアドレスとアドレス記憶部 2 2 内の主メモリセルアレイの第 1 のアドレスとを比較する (S 2)。一致しない場合は、アドレス管理回路 2 4 が供給された読み出しアドレスをそのままデコーダ 1 2 に出力して、主メモリセルアレイ 1 0 内のデータを出力する (S 3, S 5, S 6)。一方、一致する場合は、その読み出しアドレスのデータは書き換えられているので、アドレス管理回路 2 4 は読み出しアドレスに対応するサブメモリセルアレイのアドレス SADD をデコーダ 1 2 に出力する。それにより、サブメモリセルアレイ内の変更データが出力される (S 4, S 5, S 6)。

【 0 0 2 3 】

サブメモリセルアレイ 2 0 内に書き込み可能なメモリセルが存在するかぎり、上記の書き換え動作を行うことができる。そして、サブメモリセルアレイ 2 0 が全て書き込まれた状態になると、もはや上記の書き換え動作を行うことはできない。したがって、その場合は、書き込みエラーとなり、そのメモリブロック MB が消去される。そして、この消去動作により、そのメモリブロック内の主メモリセルアレイ 1 0 とサブメモリセルアレイ 2 0 とが共に消去状態となる。従って、その後は、再び、上記のサブメモリセルアレイを利用した書き換え動作が可能になる。この消去動作時に、アドレス記憶部の第 1 のアドレスも消去される。

【 0 0 2 4 】

図 4 は、本実施の形態の別の不揮発性メモリの構成図である。この例では、コラム方向にサブメモリセルアレイ 2 0 を設けた例である。従って、この例では、変更対象のデータが格納されている主メモリセルアレイの第 1 のコラムアドレスと、変更データが格納されるサブメモリセルアレイの第 2 のコラムアドレスとの対応情報が、アドレス記憶部 2 2 に記録される。そして、アドレス管理回路 2 4

は、このコラムアドレスの比較を行い、アドレス記憶部 2 2 の対応情報に従って、適宜サブメモリセルアレイのコラムアドレスをデコーダ 1 4 に出力する。

【 0 0 2 5 】

図 3 と図 4 のサブメモリセルアレイ構成を同時に設けても良い。その場合は、アドレス記憶部は行アドレスとコラムアドレスの両方について、対応情報を記憶する必要がある。

【 0 0 2 6 】

以上のとおり、本実施の形態では、既書き込まれたデータの一部を変更する書き換え動作を、消去動作と変更不要のデータの再書き込みを伴わずに、変更すべきデータのみをサブメモリセルアレイに書き込むだけで行うことができる。したがって、書き換え動作では、外部から書き込みコマンドと書き換えるべきデータのアドレスと変更データとを与えるのみで、見かけ上、書き換え動作が可能になる。

【 0 0 2 7 】

上記の書き換え動作は、通常書き込み動作とは区別される特別のモードにして行う場合と、通常書き込み動作と同じモード内で行う場合とが可能である。

【 0 0 2 8 】

図 8 は、特別のモードで書き換え動作を行う不揮発性メモリ装置の構成図である。図中、図 3 と同じ構成部分には同じ引用番号を与えている。図 3 のメモリ装置と異なる構成は、書き換えモード判定回路 2 6 である。所定の外部ピンに通常動作とは異なる高電圧を印加したり、書き換えモードコマンドを供給すると、書き換えモード判定回路 2 6 が、そのモードを検出して、アドレス管理回路 2 4 に書き換えモードになったことを通知する。

【 0 0 2 9 】

図 9 は、図 8 の不揮発性メモリ装置の書き込み動作のフローチャート図である。通常書き込み動作が左側に、一部変更する書き換え動作が右側に示される。通常書き込み動作の各工程 S 1 0 ～ S 1 5 は、図 2 に示した従来の書き込み動作と同じである。つまり、書き込みコマンドと共に、書き込みアドレスと書き込みデータとが供給されると (S 1 0)、その書き込みデータが主メモリセルアレ

イ10に書き込まれるまで、データ書き込み処理S13が繰り返される。書き込みデータと書き込まれたデータとが一致すれば、正常終了する(S14)。また、書き込み処理が所定回数を越えても書き込みが完了しない場合は、何らかの不良が発生したとみなして、書き込み異常が出力される(S15)。

【0030】

次に、書き換え動作を行う場合は、所定の外部端子に通常よりも高い電圧を印加したり、所定の書き換えモードコマンドを入力することにより、書き換えモードに入る(S18)。このモード判定は、書き換えモード判定回路26により行われる。書き換えモードが検出されると、アドレス管理回路24にそれが通知される。

【0031】

そして、その後は、変更すべきデータが格納されている主メモリセルアレイの第1のアドレスと、変更データとが、書き込みコマンドとともに供給される(S20)。アドレス管理回路24は、アドレス記憶部22の書き込み可能なサブメモリセルアレイの第2のアドレスを検出し、その第2のアドレスに対応させて、供給された第1のアドレスをアドレス記憶部22に書き込む。そして、アドレス管理回路24は、第2のアドレスをデコーダ12に出力して、サブメモリセルアレイ20の第2のアドレスに、変更データを書き込む(S23)。この書き込み処理は、書き込みデータがサブメモリセルアレイ20に書き込まれ、第1のアドレスがアドレス記憶部22に書き込まれるまで繰り返される(S21)。書き込み処理が完了すれば、正常終了する(S24)。また、書き込み処理が所定回数を超えた場合は、異常終了となる(S25)。

【0032】

このように、図8のメモリ装置では、一部のデータを変更する場合は、一旦書き換えモードに入り、その後は通常の書き込み動作と同様に、変更すべきデータのアドレスと変更データを供給する。それに伴い、変更すべきデータは、サブメモリセルアレイ20内に書き込まれる。

【0033】

図10は、自動で書き換え動作を行う不揮発性メモリ装置の構成図である。ま

た、図11は、その書き込み動作のフローチャート図である。このメモリ装置には、書き換え判定回路28が設けられていて、その書き換え判定回路28が、書き込みデータをサブメモリセルアレイに書き込むべきか否かの判定を行う。

【0034】

書き換え判定回路28は、書き込みコマンドと共に書き込みアドレスADD及び書き込みデータDAが供給されると、主メモリセルアレイ10の書き込みアドレスADDのデータを読み出し、書き込みデータDAをそのアドレスに書き込むことが可能か否かをチェックする。この判定では、読み出したデータと書き込みデータとを比較して、データ「0」からデータ「1」への変更に必要なビットが存在するか否かをチェックする。つまり、消去動作が必要か否かをチェックする。

【0035】

書き込み動作は、消去状態のデータ「1」からプログラム状態のデータ「0」への変更である。一方、メモリブロック単位で行われる消去動作は、全てのメモリセルをデータ「1」にする動作である。

【0036】

データ「0」からデータ「1」への変更に必要なビットが存在する場合は、供給された書き込みデータを主メモリセルアレイに書き込むことはできない。従って、その場合は、書き換え動作と判定され、書き込みデータをサブメモリセルアレイに書き込む必要がある。一方、データを比較して、データ「1」からデータ「0」への変更に必要なビットと、データの変更に不要なビットだけしかない場合は、主メモリセルアレイにその書き込みデータを書き込むことが可能である。このような状況は、典型的には主メモリセルアレイが消去状態にある場合である。一旦書き込みが行われていた場合は、まれにそのような状況になることもある。

【0037】

図11のフローチャートに従って書き込み動作を説明する。ユーザは、メモリ装置に通常の書き込みコマンドと共に、書き込みアドレスADDと書き込みデータDAを供給する(S10)。そこで、主メモリセルアレイの書き込みアドレスのデータが書き込みデータと一致する場合を除いて(S11)、書き換え判定回路2

8が、上記のデータ比較判定を行う。そして、その主メモリセルアレイが消去状態であったり、偶然にも書き込みが可能なデータの組合せであった場合は、工程S12、S13、S11により、主メモリセルアレイ10への書き込みが実行される。

【0038】

書き換え判定回路28が、主メモリセルアレイ10の書き込みアドレスには既に何らかのデータが書き込まれ、その状態で書き込みデータに書き換えできないことを判定すると、工程S21～S25の書き換え動作を実行する。工程S21～S25は、図9で説明した書き換え動作と同じである。つまり、アドレス管理回路24が、供給された主メモリセルアレイ10の第1のアドレスに代えて、サブメモリセルアレイの第2のアドレスをデコーダ14に供給し、その第2のアドレスに対応させて第1のアドレスをアドレス記憶部22に書き込む。また、供給された書き込みデータは、変更データとしてサブメモリセルアレイ20の第2のアドレスに書き込まれる。

【0039】

図8及び図10の不揮発性メモリ装置において、読み出し動作は、図7に示した動作と同じである。即ち、通常のリードコマンドと共に供給される読み出しアドレスが、アドレス記憶部22内の第1のアドレスと一致するか否かをアドレス管理回路22が検出する。一致する場合は、第1のアドレスに対応する第2のアドレスがデコーダ12に供給され、サブメモリセルアレイ20内の第2のアドレスのデータが読み出される。不一致の場合は、供給された読み出しアドレスにしたがって、主メモリセルアレイ10からデータが読み出される。

【0040】

図8及び図10の不揮発性メモリ装置において、消去動作は、図3、4と同じである。即ち、主メモリセルアレイ10を消去する場合は、そのメモリブロックに属するサブメモリセルアレイも一緒に消去される。この消去動作により、サブメモリセルアレイに空き領域がなくなった場合でも、その後は、サブメモリセルアレイを利用して一部データ変更を伴う書き換え動作が可能になる。

【0041】

図12は、別の実施の形態における不揮発性メモリ装置の構成図である。このメモリ装置は、上記の実施の形態と同様に、一部データ変更を伴う書き換え機能を有すると共に、書き換え前のオリジナルデータか書き換え後の書き換えデータのいずれかを有効にすることができる有効データ選択機能を有する。その為に、有効データ記憶部30を有し、オリジナルデータか書き換えデータのいずれを有効にするかを示す有効フラグが、この有効データ記憶部30に格納される。

【0042】

オリジナルデータを有効にするフラグが書き込まれると、読み出し動作において、主メモリセルアレイ10内のオリジナルデータが読み出される。また、書き換えデータを有効にするフラグが書き込まれると、アドレス管理回路24により適宜サブメモリセルアレイ20のデータが主メモリセルアレイ内のデータに代えて読み出される。

【0043】

図13は、図12のメモリ装置の読み出し動作のフローチャート図である。この読み出し動作では、図7の読み出し動作と異なり、読み出しコマンドと共に読み出しアドレスが入力されると(S1)、アドレス管理回路24が、有効データ記憶部30に格納されている有効フラグをチェックし、有効データがオリジナルデータか書き換えされたデータかを検出する(S40)。この工程S40が、図7のフローチャートと異なる。

【0044】

有効データが書き換え後のデータである場合は、図7と同様に、アドレス管理回路24が、供給された読み出しアドレスとアドレス記憶部22に格納されている第1のアドレスと比較して、一致する時は、それに対応する第2のアドレスを出力して、サブメモリセルアレイ内の変更データを読み出す。不一致の場合は、第1のアドレスに対応する主メモリセルアレイ内のデータを読み出す。従って、書き換えデータがある場合はそのデータが、書き換えデータがない場合はオリジナルデータがそれぞれ読み出される。

【0045】

有効データがオリジナルデータの場合は、アドレス管理回路24は、供給され

た読み出しアドレスをそのままデコーダ12に供給して、主メモリセルアレイ内のデータを読み出す。従って、書き換えデータがある場合でも、オリジナルデータが主メモリセルアレイから強制的に読み出される。

【0046】

このように、本実施の形態のメモリ装置は、書き換え動作時にオリジナルのデータを消去することなく、変更データをサブメモリセルアレイ20に書き込んだ。従って、オリジナルデータも書き換え後のデータもどちらのデータも記録された状態である。そこで、上記のとおり、有効データをどちらにするかフラグを、有効データ記憶部30に設定することで、いずれか一方のデータを読み出すようにすることができる。従って、プログラム開発において、元のプログラムと一部変更したプログラムとを比較してデバッグを行う場合などに、この機能を利用することができる。

【0047】

上記の実施の形態では、1種類の書き換えデータしか書き換えることができない。つまり、主メモリセルアレイにオリジナルデータが書き込まれ、オリジナルデータの変更部分（書き換えデータ）がサブメモリセルアレイに書き込まれる。そこで、サブメモリセルアレイを複数セット設けることにより、書き換えデータを複数バージョンにすることも可能である。つまり、オリジナルデータが主メモリセルアレイ内の書き込まれ、第1版の書き換えデータが第1のサブメモリセルアレイに書き込まれる。また、第2版の書き換えデータが第2のサブメモリセルアレイに書き込まれる。そして、有効データ記憶部20に、オリジナルデータか、第1版若しくは第2版の書き換えデータかのいずれを有効にすべきかのフラグを記録することで、いずれかのデータを読み出すことができる。その場合は、アドレス記憶部22にも、第1版と第2版のアドレス対応情報を別々に記録する必要がある。

【0048】

このように複数版の書き換えデータを、書き換え動作により簡単に書き込むことができるようにするためには、複数セットのサブメモリセルアレイを設ける必要がある。但し、書き換えに伴う変更データの量を制限することで、サブメモリ

セルアレイの容量を少なく抑えることができる。従って、上記のように複数版の書き換えを可能にしても、それに伴いサブメモリセルアレイの容量が極端に大きくなることはない。

【 0 0 4 9 】

以上、実施の形態例をまとめると以下の付記の通りである。

【 0 0 5 0 】

(付記 1) 半導体不揮発性メモリにおいて、
主メモリセルアレイと、
サブメモリセルアレイと、
アドレス記憶部とを有し、

前記主メモリセルアレイに書き込まれたデータの一部分を変更する書き換え動作の場合、当該主メモリセルアレイを消去せずに、変更データを前記サブメモリセルアレイに書き込み、変更対象データが格納されている前記主メモリセルアレイの第 1 のアドレスと、前記変更データが格納された前記サブメモリセルアレイの第 2 のアドレスとの対応情報を前記アドレス記憶部に記録することを特徴とする半導体不揮発性メモリ。

【 0 0 5 1 】

(付記 2) 付記 1 において、

更に、読み出し動作の時に、読み出しアドレスと前記対応情報の第 1 のアドレスとを比較し、不一致の時は当該読み出しアドレスを出力し、一致する時は当該対応情報の第 2 のアドレスを出力するアドレス管理回路を有することを特徴とする半導体不揮発性メモリ。

【 0 0 5 2 】

(付記 3) 付記 1 において、

更に、外部からの信号に応答して、前記書き換え動作モードを検出する書き換えモード判定回路を有し、

前記書き換え動作モードが検出されると、前記変更データのサブメモリセルアレイへの書き込みと、前記対応情報の前記アドレス記憶部への記録とを行うことを特徴とする半導体不揮発性メモリ。

【0053】

(付記4) 付記1において、

更に、供給される書き込みデータと書き込みアドレスに応答して、前記書き込みアドレスに対応する前記主メモリセルアレイ内のデータと、前記書き込みデータとを比較し、前記主メモリセルアレイに前記書き込みデータが書き込み可能な場合は、当該主メモリセルアレイに前記供給された書き込みデータを書き込み、前記主メモリセルアレイに前記書き込みデータが書き込み不可能な場合は、前記サブメモリセルアレイに前記供給された書き込みデータを書き込み更に前記対応情報を前記アドレス記憶部に記録することを特徴とする半導体不揮発性メモリ。

【0054】

(付記5) 付記1において、

前記主メモリセルアレイとサブメモリセルアレイとを有するメモリブロックを有し、

消去動作時に、前記メモリブロック内の前記主メモリセルアレイとサブメモリセルアレイとが一緒に消去されることを特徴とする半導体不揮発性メモリ。

【0055】

(付記6) 付記5において、

前記メモリブロックを複数有し、

消去動作時に、選択されたメモリブロックが一斉に消去されることを特徴とする半導体不揮発性メモリ。

【0056】

(付記7) 付記1において、

消去動作において、

前記主メモリセルアレイ内のメモリセルが一斉に消去されることを特徴とする半導体不揮発性メモリ。

【0057】

(付記8) 付記1において、

更に、書き換え前のデータと書き換え後のデータのいずれが有効かのフラグを記憶する有効データ記憶部を有し、

読み出し動作時において、前記有効データ記憶部に書き換え前のデータを有効にする第1のフラグが記憶されているときは、供給された読み出しアドレスに対応するデータを前記主メモリセルアレイから読み出し、

前記有効データ記憶部に書き換え後のデータを有効にする第2のフラグが記憶されているときは、前記読み出しアドレスが前記対応情報の第1のアドレスと一致するときに、それに対応する第2のアドレスのデータを前記サブメモリセルアレイから読み出し、一致しないときに読み出しアドレスのデータを前記主メモリセルアレイから読み出すことを特徴とする半導体不揮発性メモリ。

【0058】

(付記9) 半導体不揮発性メモリにおいて、

消去動作により全てのメモリセルが消去状態にされ、消去状態の時に第1のデータが書き込まれる主メモリセルアレイと、

前記主メモリセルアレイに書き込まれた第1のデータの一部を第2のデータに変更する書き換え動作の時に、当該変更する第2のデータが書き込まれるサブメモリセルアレイと、

前記サブメモリセルアレイに前記第2のデータが書き込まれる時に、変更対象データが格納される前記主メモリセルアレイの第1のアドレスと、前記第2のデータが格納される前記サブメモリセルアレイの第2のアドレスとの対応情報を記憶するアドレス記憶部とを有することを特徴とする半導体不揮発性メモリ。

【0059】

(付記10) 付記9において、

更に、読み出し動作の時に、読み出しアドレスと前記対応情報の第1のアドレスとを比較し、不一致の時は当該読み出しアドレスに対応する前記第1のデータを出力し、一致する時は当該対応情報の第2のアドレスに対応する前記第2のデータを出力することを特徴とする半導体不揮発性メモリ。

【0060】

(付記11) 付記9において、

更に、外部からの信号に応答して、前記書き換え動作モードを検出する書き換えモード判定回路を有し、

前記書き換え動作モードが検出されると、前記第2のデータのサブメモリセルアレイへの書き込みと、前記対応情報の前記アドレス記憶部への記録とを行うことを特徴とする半導体不揮発性メモリ。

【0061】

(付記12) 付記9において、

更に、供給される書き込みデータと書き込みアドレスに応答して、前記書き込みアドレスに対応する前記主メモリセルアレイ内のデータと、前記書き込みデータとを比較し、前記主メモリセルアレイに前記第2のデータが書き込み可能な場合は、当該主メモリセルアレイに前記供給された第2のデータを書き込み、前記主メモリセルアレイに前記第2のデータが書き込み不可能な場合は、前記サブメモリセルアレイに前記供給された第2のデータを書き込み更に前記対応情報を前記アドレス記憶部に記録することを特徴とする半導体不揮発性メモリ。

【0062】

(付記13) 付記9において、

前記主メモリセルアレイとサブメモリセルアレイとを有するメモリブロックを有し、

消去動作時に、前記メモリブロック内の前記主メモリセルアレイとサブメモリセルアレイとが一緒に消去されることを特徴とする半導体不揮発性メモリ。

【0063】

(付記14) 付記9において、

更に、第1のデータと第2のデータのいずれか有効かのフラグを記憶する有効データ記憶部を有し、

読み出し動作時において、前記有効データ記憶部に第1のデータを有効にする第1のフラグが記憶されているときは、供給された読み出しアドレスに対応する第1のデータを前記主メモリセルアレイから読み出し、前記有効データ記憶部に第2のデータを有効にする第2のフラグが記憶されているときは、前記読み出しアドレスが前記対応情報の第1のアドレスと一致するときに、それに対応する第2のアドレスの前記第2のデータを前記サブメモリセルアレイから読み出し、一致しないときに読み出しアドレスに対応する前記第1のデータを前記主メモリセ

ルアレイから読み出すことを特徴とする半導体不揮発性メモリ。

【 0 0 6 4 】

【発明の効果】

以上、本発明によれば、半導体不揮発性メモリにおいて、既に書き込まれたデータの一部を変更する書き換え動作を、消去動作を伴わずに簡便な方法で行うことができる。

【図面の簡単な説明】

【図 1】

従来の不揮発性メモリの構成図である。

【図 2】

従来の不揮発性メモリの書き込み動作のフローチャート図である。

【図 3】

本実施の形態における不揮発性メモリの構成図である。

【図 4】

本実施の形態における別の不揮発性メモリの構成図である。

【図 5】

メモリセルアレイ内のアドレスにより選択される単位を示す図である。

【図 6】

アドレス記憶部 2 2 の具体的構成を示す図である。

【図 7】

読み出し動作のフローチャート図である。

【図 8】

特別のモードで書き換え動作を行う不揮発性メモリ装置の構成図である。

【図 9】

図 8 の不揮発性メモリ装置の書き込み動作のフローチャート図である。

【図 1 0】

自動で書き換え動作を行う不揮発性メモリ装置の構成図である。

【図 1 1】

図 1 0 の不揮発性メモリ装置の書き込み動作のフローチャート図である。

【図 1 2】

別の実施の形態における不揮発性メモリ装置の構成図である。

【図 1 3】

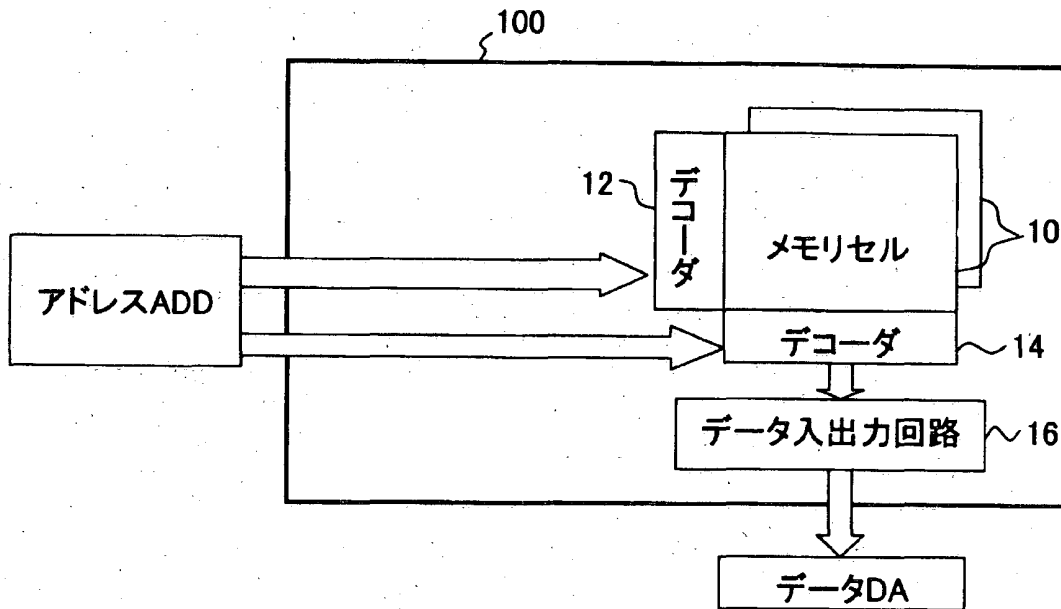
図 1 2 のメモリ装置の読み出し動作のフローチャート図である。

【符号の説明】

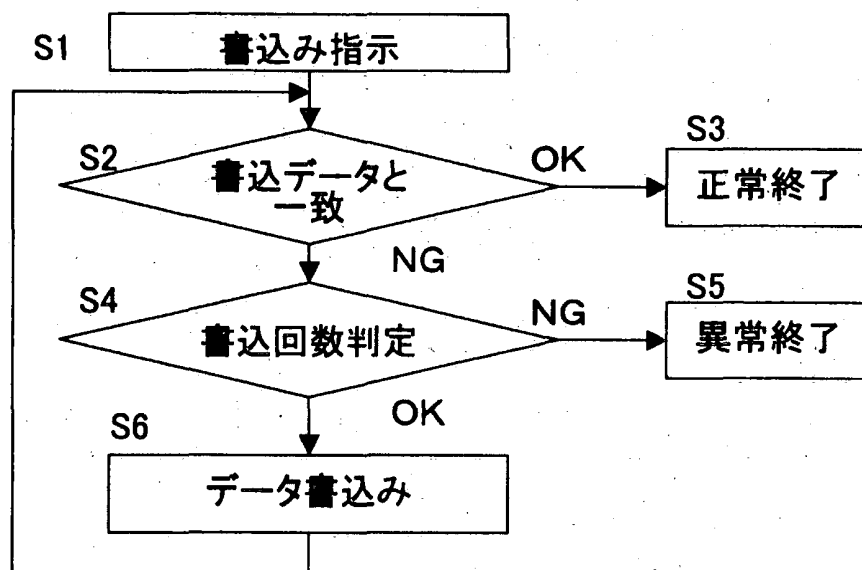
- 1 0 主メモリセルアレイ
- 2 0 サブメモリセルアレイ
- 2 2 アドレス記憶部
- 2 4 アドレス管理回路
- 2 6 書き換えモード判定回路
- 2 8 書き換え判定回路
- 3 0 有効データ記憶部
- MB 0, MB 1 メモリブロック

【書類名】 図面

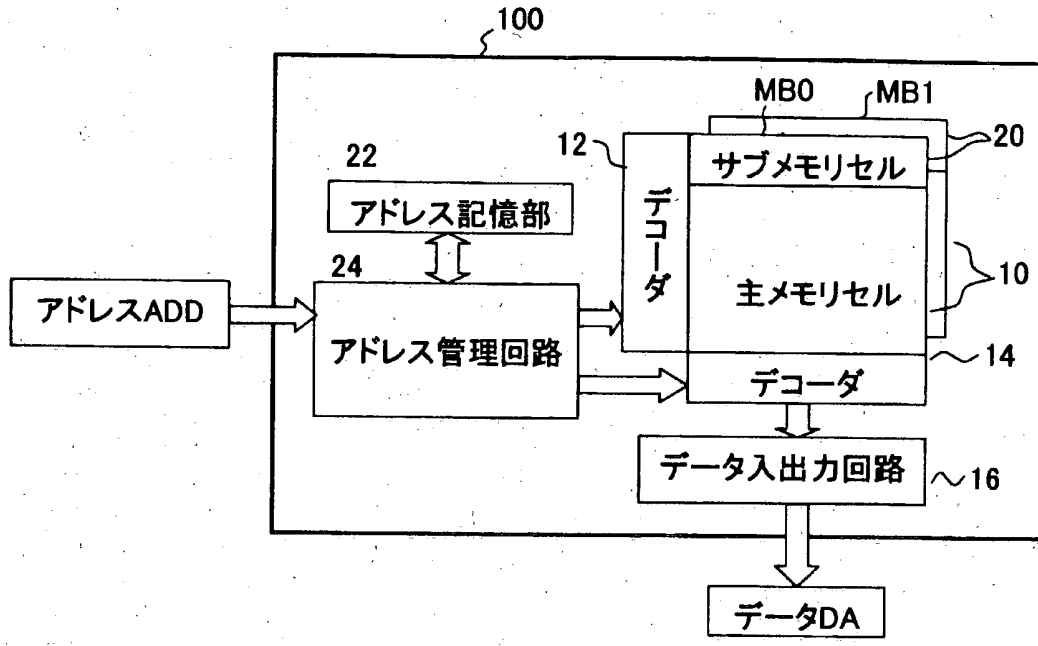
【図1】



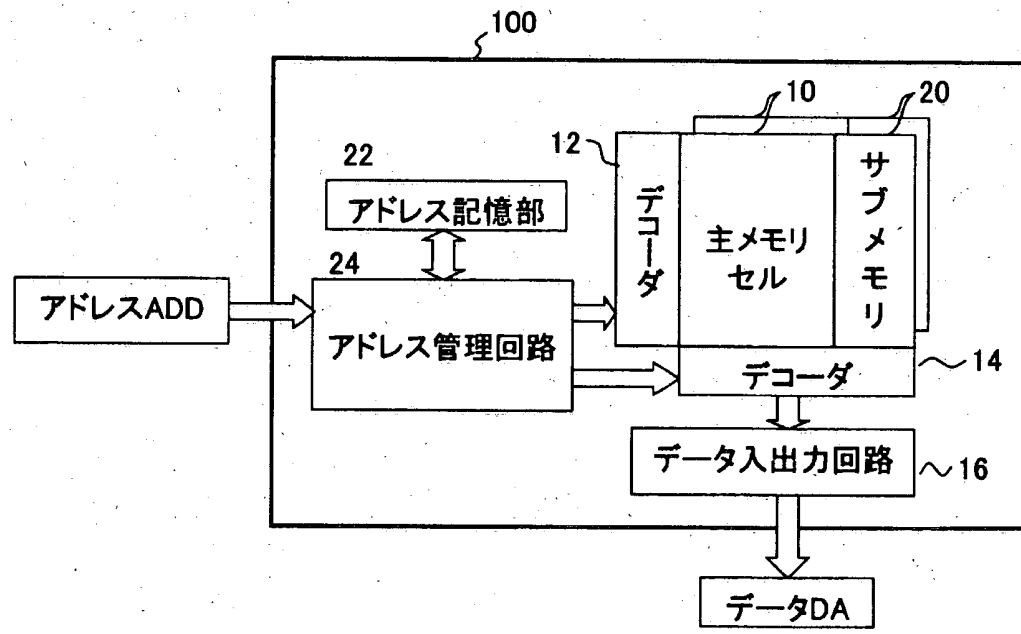
【図2】



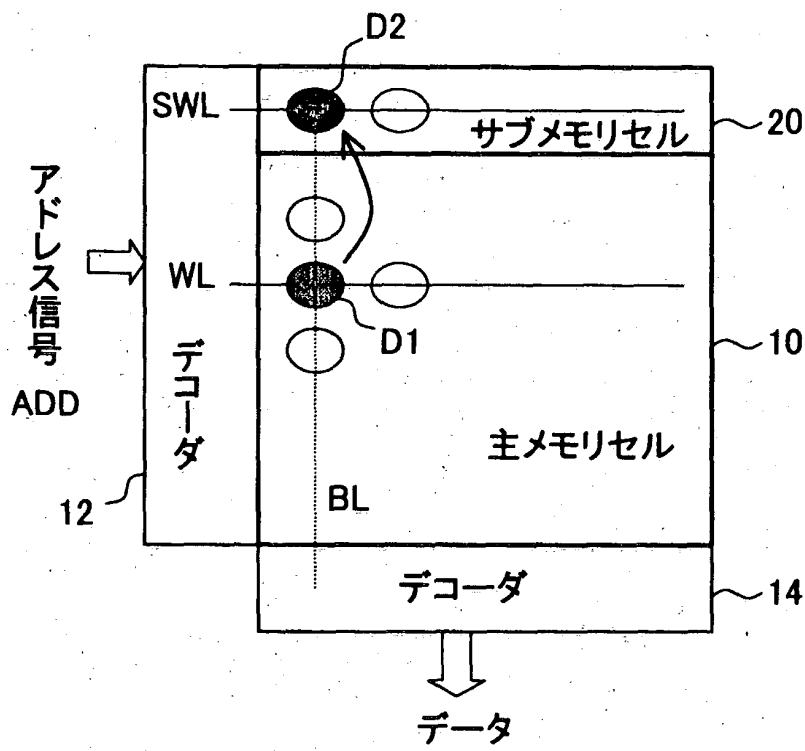
【図 3】



【図 4】



【図 5】

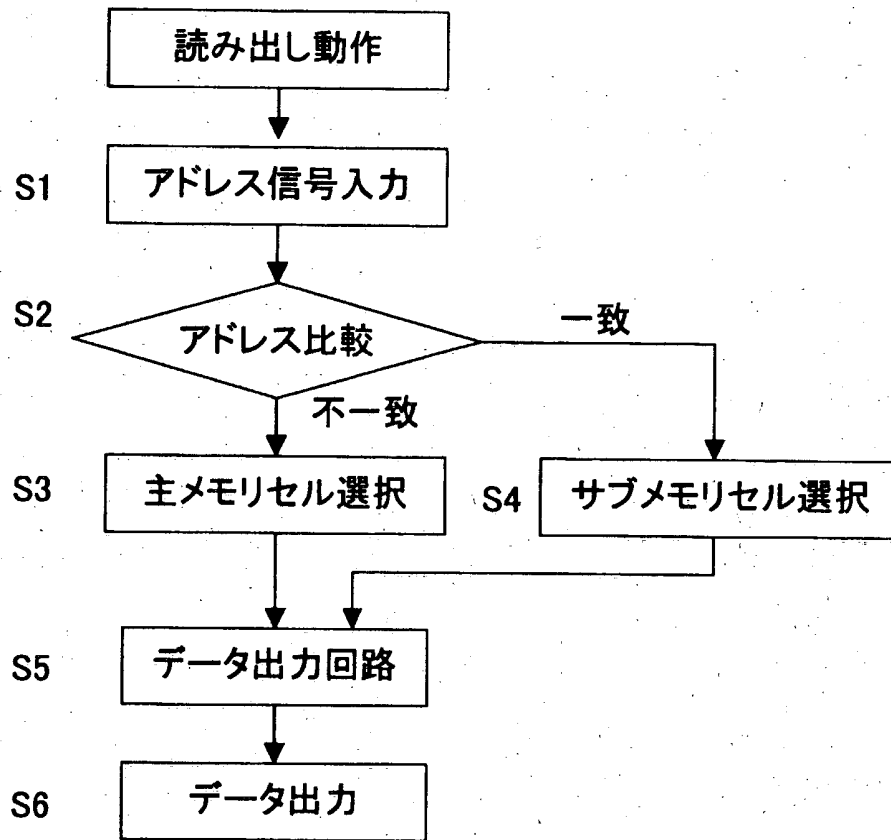


【図 6】

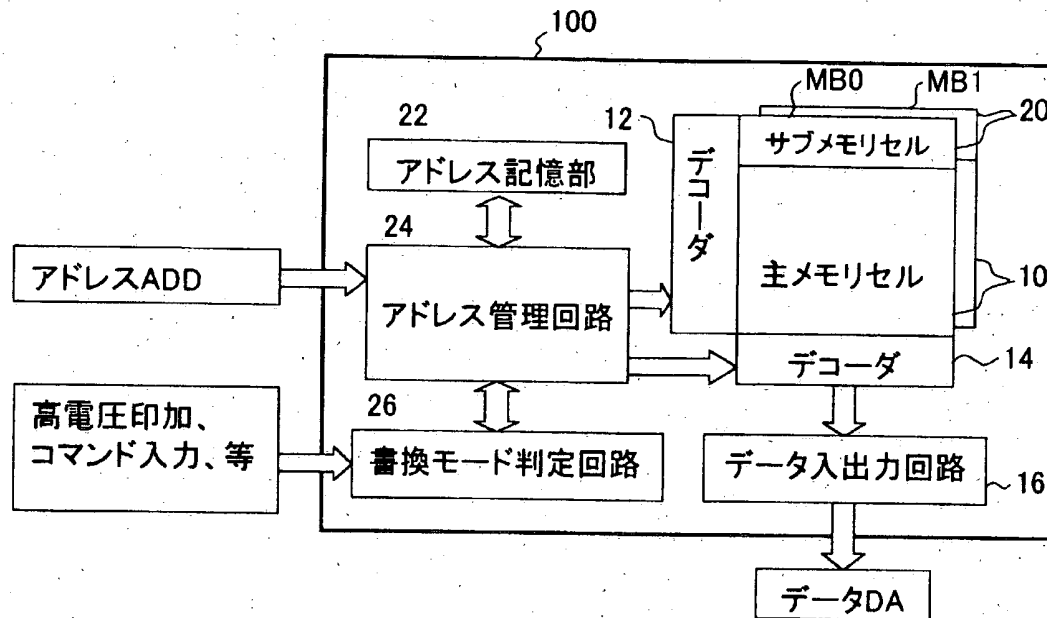
22

通常アドレス ADD	サブメモリの アドレスSADD
ADD1	000
ADD2	001
	010
	011
	・
	・
	・
	111

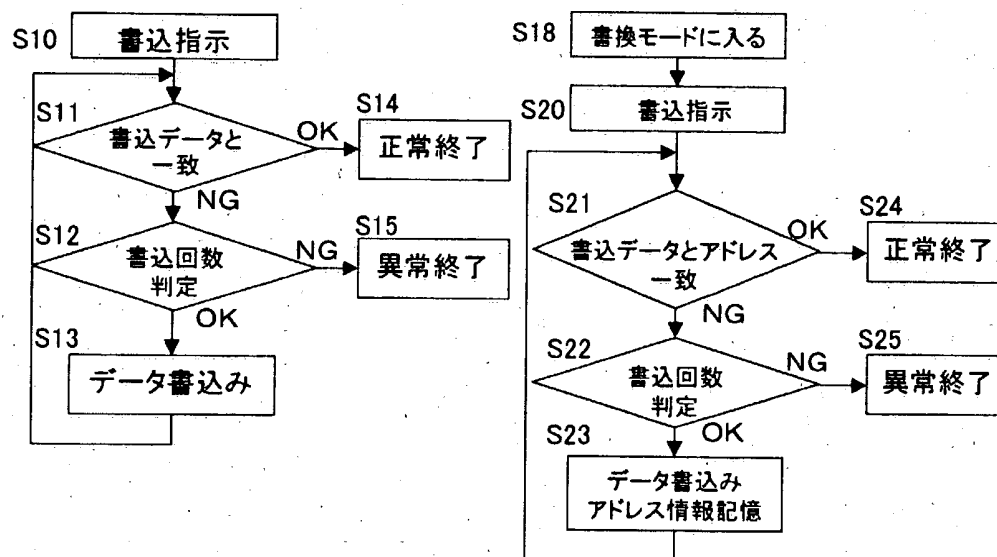
【図 7】



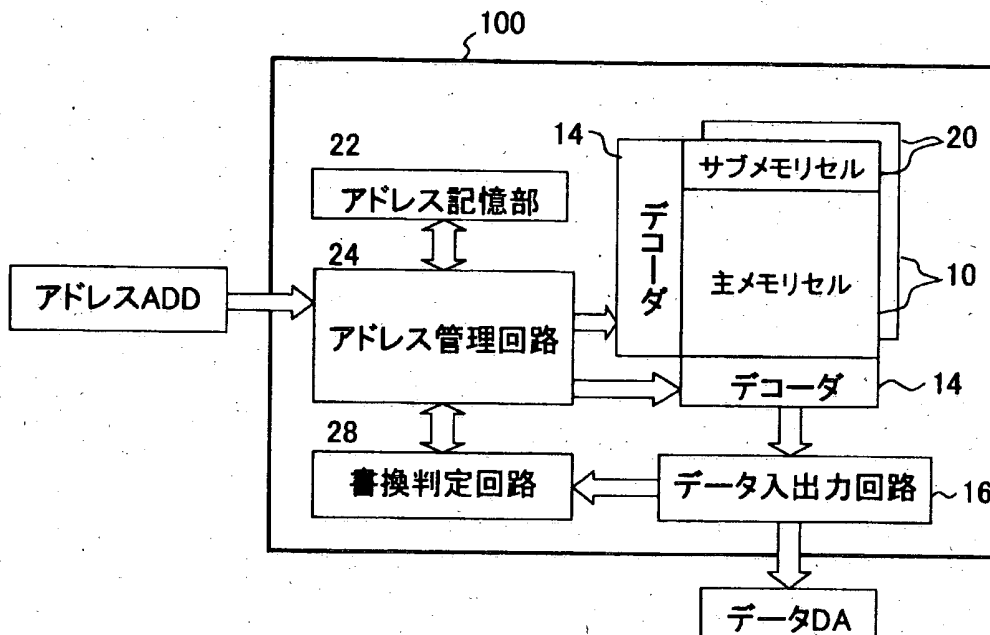
【图 8】



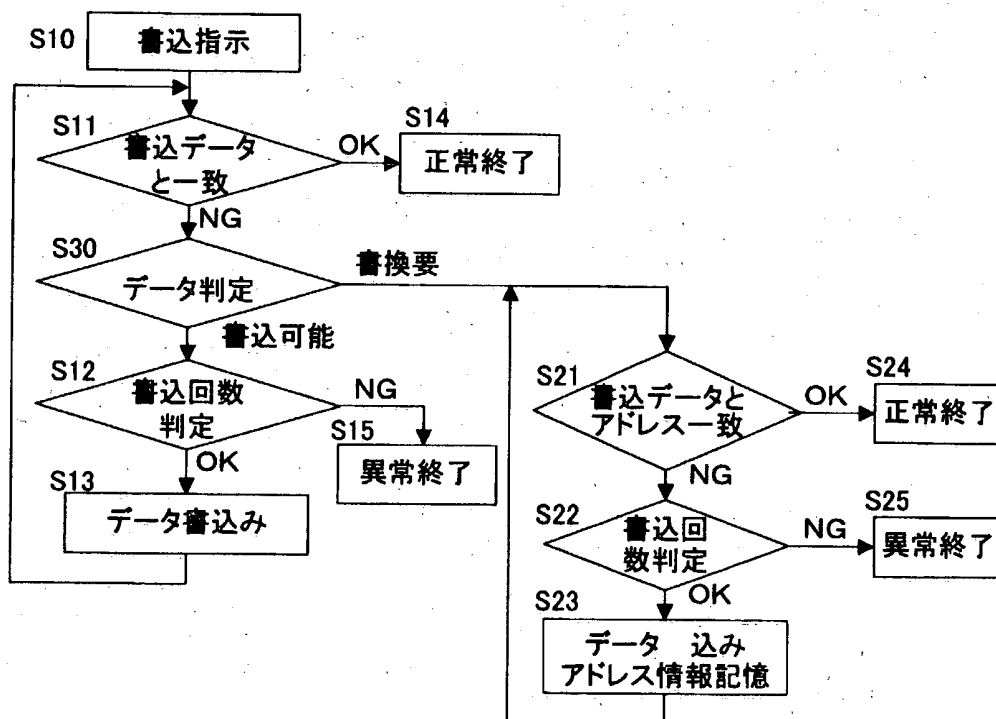
【图9】



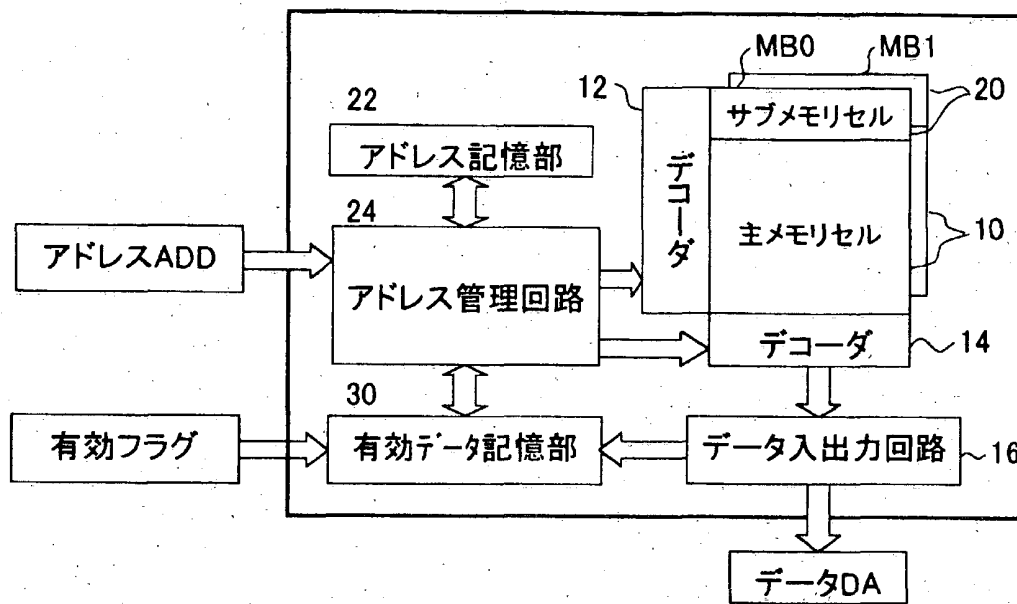
【図10】



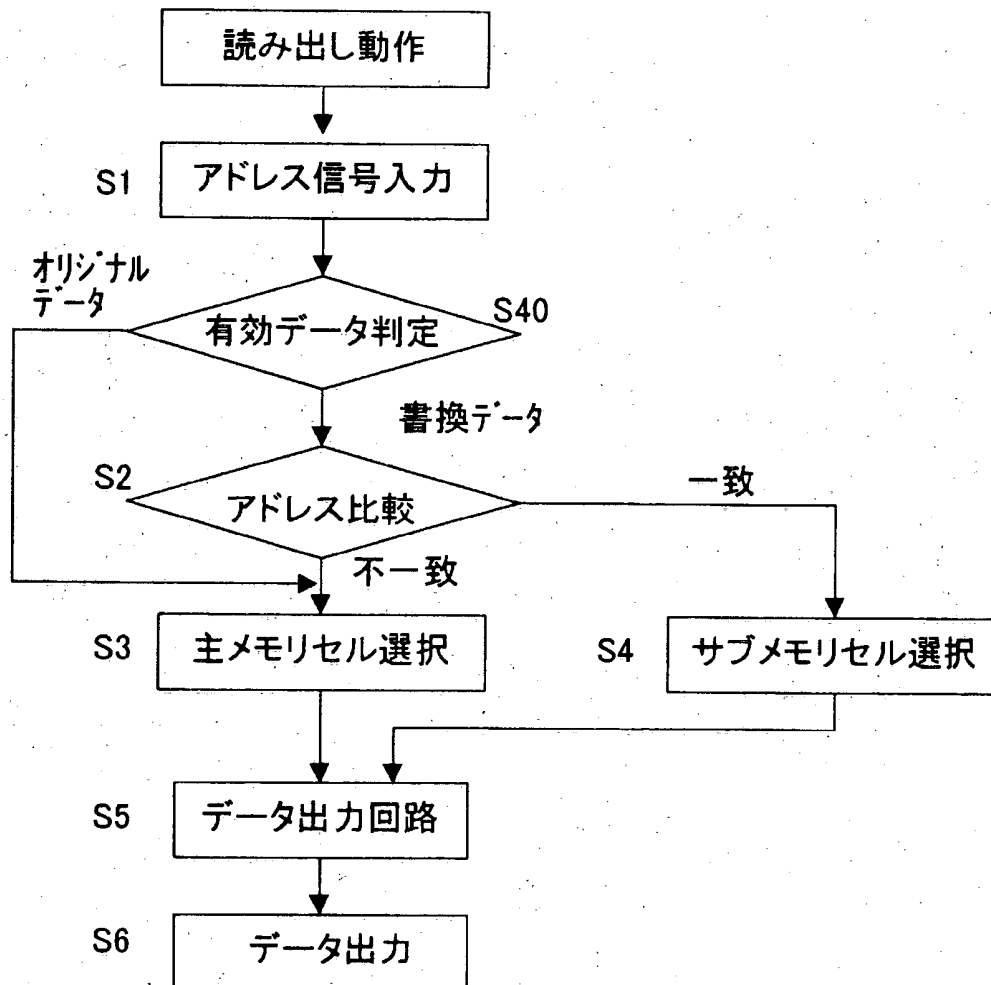
【図11】



【図 12】



【図13】



【書類名】

要約書

【要約】

【課題】既に書き込まれたデータの一部を変更する書き換え動作を、消去動作を伴わずに簡便な方法で行う半導体不揮発性メモリを提供する。

【解決手段】半導体不揮発性メモリにおいて、主メモリセルアレイ10とサブメモリセルアレイ20を有し、主メモリセルアレイに書き込まれたデータの一部を変更する場合、当該主メモリセルアレイを消去せずに、変更データをサブメモリセルアレイに書き込み、変更対象データが格納される主メモリセルアレイの第1のアドレスと、変更データが格納されるサブメモリセルアレイの第2のアドレスとの対応情報を記録することを特徴とする。そして、読み出し時には、読み出しアドレスと対応情報の第1のアドレスとを比較し、一致するときは、当該第1のアドレスに対応する第2のアドレスのサブメモリセルアレイ内のデータを読み出し、一致しないときは、当該読み出しアドレスに対応する主メモリセルアレイ内のデータを読み出す。

【選択図】図3

出 願 入 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社